

# 7

## Przerzutniki

---

### 7.1. Wprowadzenie

Na lekcjach z podstaw elektroniki podano wiadomości na temat przerzutników: monostabilnych, bistabilnych i astabilnych. Omówiono zasadę ich działania, elementy z jakich są zbudowane, przebiegi czasowe i rozkłady potencjałów w różnych punktach układu przerzutnika. Z uwagi na użyteczność tych układów w systemach cyfrowych interesować nas będą jedynie przebiegi czasowe na wejściach i wyjściu przerzutnika. W tym rozdziale zajmiemy się wyłącznie przerzutnikami bistabilnymi, a w następnym monostabilnymi i astabilnymi.

Przerzutniki, oprócz bramek logicznych, są podstawową grupą elementów stosowanych w technice cyfrowej. W podrozdziale 3.1 wprowadzono podział układów cyfrowych na kombinacyjne i sekwencyjne (rys. 3.2). Układy sekwencyjne mają pamięć i z tego powodu są nazywane układami kombinacyjnymi z pamięcią. Przerzutniki bistabilne pełnią w nich rolę pamięci. *Jednocześnie sam przerzutnik jest najprostszym układem sekwencyjnym.*

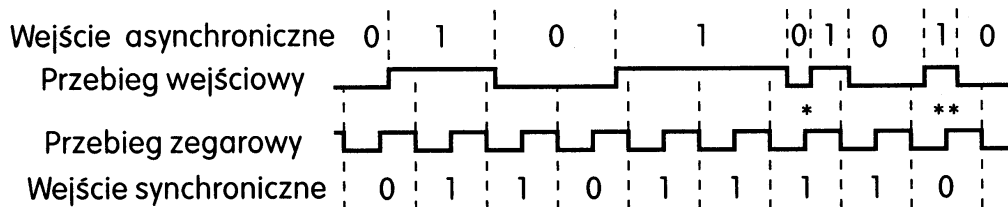
Układy sekwencyjne dzieli się na synchroniczne i asynchroniczne. Do budowy pamięci układów sekwencyjnych synchronicznych używa się przerzutników synchronicznych, natomiast do budowy pamięci układów sekwencyjnych asynchronicznych używa się przerzutników asynchronicznych.

W układach synchronicznych występuje pewien (co najmniej jeden) wyróżniony sygnał — zwany **przebiegiem zegarowym, taktującym** lub **synchronizującym**. Przebieg ten wyznacza cykl pracy układu, a jego okres stanowi umowną jednostkę czasu. Sygnał zegarowy określa chwile, w których stany wejść oddziałują na układ. Chwile te są wyznaczane przez zbocze dodatnie bądź ujemne przebiegu taktującego, dlatego mówimy o synchronizacji układu zboczem narastającym lub opadającym. *W chwilach tych stan innych wejść nie powinien się zmieniać.* Odcinek czasu pomiędzy dwoma kolejnymi zboczami aktywnymi sygnału zegarowego jest nazywany **taktem**.

Są produkowane także przerzutniki synchroniczne wyzwalane poziomem. Przerzutnik taki również zostanie omówiony.

W układach asynchronicznych każda zmiana stanu wejść układu oddziałuje na układ, powodując jego reakcję.

Aby zrozumieć istotę oddziaływania wejścia na układ synchroniczny i asynchroniczny posłużmy się dowolnym przebiegiem czasowym i określmy sekwencję wejściową w obu przypadkach. Pokazano to na rys.7.1.



Rys. 7.1. Ilustracja oddziaływania przebiegu wejściowego na układ asynchroniczny i synchroniczny

Sekwencja wejściowa „zaobserwowana” przez układ asynchroniczny to **010101010**. W tym samym czasie układ synchroniczny zinterpretuje ten przebieg jako sekwencję wejściową **011011110**. Zauważmy przy tym, że *sekwencję wejściową układu synchronicznego jesteśmy w stanie określić dopiero po naniesieniu na wykres przebiegu zegarowego*. Przyjęcie innej częstotliwości sygnału taktującego sprawi natychmiast, że sekwencja wejściowa układu synchronicznego będzie zupełnie inna, chociaż dla układu asynchronicznego nic się nie zmieni. Zwróćmy jeszcze uwagę na impulsy oznaczone \*. Impuls \* o poziomie L oraz impuls \*\* o poziomie H przez układ synchroniczny nie został w ogóle „zauważony”. Czy zatem układy synchroniczne gubią informację wejściową? Odpowiedzi na to pytanie mogą być dwie:

1. Jeżeli wzmiankowane impulsy niosą określoną informację wejściową i powinny mieć wpływ na działanie układu, to oznacza, że częstotliwość przebiegu zegarowego jest zbyt mała. W takiej sytuacji należy zwiększyć częstotliwość przebiegu taktującego.
2. Jeżeli zaś częstotliwość przebiegu synchronizującego jest właściwa, to wzmiankowane impulsy są impulsami zakłócającymi. Impulsy zakłócające z natury rzeczy są impulsami krótkotrwałymi i jeżeli czas ich trwania jest dużo mniejszy niż czas jednego taktu (okres przebiegu zegarowego), to większość z nich zostanie „nie zauważona”, czyli nie zakłóci pracy układu. Jest to niewątpliwą zaletą układów sekwencyjnych synchronicznych. Naturalnie impuls zakłócający może wystąpić w chwili pojawienia się aktywnego zbocza sygnału zegarowego, ale prawdopodobieństwo takiej sytuacji jest mniej więcej takie, jak iloraz czasu trwania zbocza aktywnego do okresu taktowania. Powyższe uwagi są prawdziwe przy założeniu, że wejścia zegarowe są wolne od zakłóceń. Wymaga to stosowania odpowiednich zabezpieczeń przed pojawieniem się zakłóceń na tych właśnie wejściach, np. poprzez ekranowanie doprowadzeń sygnałów taktujących.

Układy asynchroniczne są zatem bardziej wrażliwe na zakłócenia. Ponadto trudniejsze jest ich projektowanie. Szczególną trudność stanowi tzw. zjawisko wyścigów, spowodowane niejednoczesnością (brakiem synchronizacji) przełącza-

nia elementów pamięciowych układu. Zaletą układów asynchronicznych jest ich prostsza budowa i mniejsza ilość elementów potrzebna do ich budowy. W świetle ostatnich osiągnięć w technologii scalania układów zaleta ta jest mało istotna. W praktyce więc większość układów cyfrowych sekwencyjnych to układy synchroniczne. W podręczniku będą więc omawiane układy sekwencyjne budowane przy użyciu synchronicznych elementów pamięciowych (przerzutników).

Działanie przerzutnika można opisać za pomocą tzw. **tablicy przejść, tablicy wzbudzeń, tablicy charakterystycznej lub wykresu czasowego**. Wszystkie te sposoby będą wykorzystywane w niniejszym podręczniku.

Przerzutnik używany w technice cyfrowej jest układem o co najmniej dwóch wejściach i z reguły dwóch wyjściach. **Wejścia** mogą być:

- **zegarowe** (ang. *Clock*), zwane również **synchronizującymi** albo **wyzwalającymi**. Wejście to oznaczać będziemy literą **C**. Używa się także oznaczeń **CK, CL, CP, T, CLK**;
- **informacyjne**;
- **programujące, przygotowujące**.

Wejście zegarowe mają wyłącznie przerzutniki synchroniczne. *Przerzutniki takie reagują na informację podawaną na wejścia informacyjne tylko w obecności impulsu zegarowego. Stan wejść informacyjnych powinien być wówczas już ustalony i nie zmieniać się.*

Przerzutnik może być wyposażony w dwa **wejścia programujące**: wejście ustawiające w stan wysoki, zwane krótko **wejściem ustawiającym** oznaczane **S** lub **PR** (ang. *Set* lub *PReset*) oraz wejście ustawiające w stan niski, zwane **wejściem zerującym** i oznaczane **R** lub **CLR** (ang. *Reset* lub *CLear*). Wejścia te są wejściami asynchronicznymi i nadrzędnymi w stosunku do pozostałych wejść. Nadrzędność ta wyraża się tym, że przy sterowaniu przerzutnika od strony jednych i drugich wejść (synchronicznych i asynchronicznych) o stanie przerzutnika decydują wejścia asynchroniczne.

Istnieje wiele typów przerzutników. Podstawowymi przerzutnikami asynchronicznymi są przerzutniki typu  $rs$  oraz  $\bar{r}\bar{s}$ . Zasadniczymi przerzutnikami synchronicznymi są przerzutniki typu  $JK$ ,  $D$  i  $D_{LATCH}$  ( $D$  „zatrask”). Używane są także przerzutniki typu  $T$  i  $RS$ .

Zastosowania przerzutników są bardzo szerokie. Są one wykorzystywane do budowy np. liczników, rejestrów. Układy te omówiono w następnych rozdziałach podręcznika.

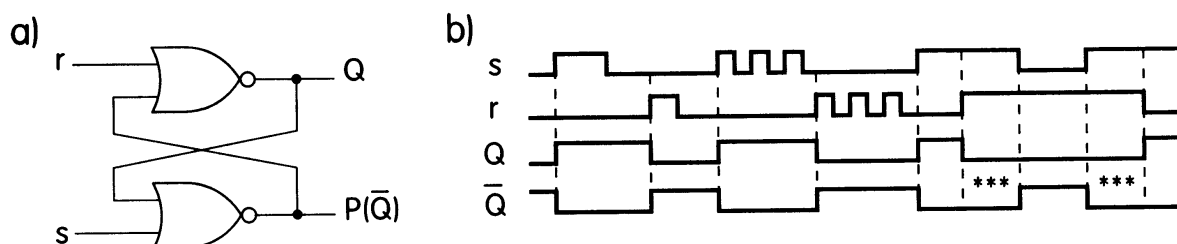
## 7.2. Przerzutniki asynchroniczne

Przerzutniki asynchroniczne — w celu odróżnienia ich od przerzutników synchronicznych — będziemy oznaczać małymi literami. W literaturze technicznej częściej jednak można spotkać oznaczenie pisane dużymi literami. Poniżej omówiono dwa typy przerzutników asynchronicznych: przerzutniki  $rs$  i  $\bar{r}\bar{s}$ .

Najbardziej czytelną postacią opisu działania przerzutnika asynchronicznego są przebiegi czasowe. *Należy jednak pamiętać, że sygnały wejściowe nie powinny zmieniać się jednocześnie.* Przebiegi czasowe rysowane z pominięciem tej zasady byłyby nieczytelne (niejednoznaczne). W praktyce, nawet jednoczesna zmiana dwóch sygnałów wejściowych będzie interpretowana przez układ jako dwie odrębne zmiany stanu wejść. Układ zareaguje jak na zmiany niejednoczesne i to z przypadkową (nie zawsze tą samą) kolejnością. Powodem tego jest duża szybkość działania układów cyfrowych, różne czasy propagacji przy pobudzaniu układu od strony różnych wejść, różne poziomy napięć, na które reagują poszczególne wejścia (nawet ta sama bramka sterowana z dwóch wejść może mieć na każdym z nich inny próg napięcia przełączającego), a ponadto parametry te mogą się zmieniać pod wpływem temperatury i na skutek starzenia się.

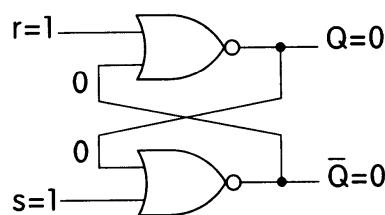
### ● Przerzutnik $rs$

Przerzutnik asynchroniczny  $rs$  jest zbudowany z dwóch bramek NOR (rys. 7.2a). Przerzutnik ma dwa wejścia: ustawiające  $s$  (ang. *set*) i zerujące  $r$  (ang. *reset*) oraz dwa wyjścia: jedno oznaczone  $Q$  i drugie oznaczone wstępnie  $P$ . Przeanalizujemy możliwe stany wyjść tego układu przy stanie wejść  $rs = 00$ . Zauważmy, że  $Q$  może być równe  $1$  i wówczas  $P = 0$  lub  $Q = 0$ , a wtedy  $P = 1$ . W obu więc przypadkach  $P = \bar{Q}$ , co ma istotne zalety i będziemy się starać ten warunek spełnić.



Rys. 7.2. Przerzutnik asynchroniczny  $rs$ : a) schemat logiczny, b) przebiegi czasowe

Umożliwi to uzyskanie tzw. **wyjść komplementarnych** i oznaczenie ich przez  $Q$  oraz  $\bar{Q}$ . Ale przypomnijmy sobie, jaki jest stan na wyjściu bramki NOR, jeżeli jedno z jej wejść jest w stanie **H**. Otóż niezależnie od stanu drugiego wejścia (innych wejść) bramka ta będzie w stanie niskim **L**. Zatem ustawienie obu wejść tego przerzutnika w stan wysoki sprawi, że oba wyjścia będą w stanie niskim (rys. 7.3). Wówczas  $P \neq \bar{Q}$  i oznaczenie tych wyjść: jednego jako proste, drugiego jako zanegowane prowadzi do konkluzji, że  $Q = \bar{Q}$ , co naturalnie nie jest prawdą. **Dlatego dla przerzutnika  $rs$  stan wejść  $rs = 11$  określamy jako logicznie zabroniony.** Fizyczny zakaz oznaczałby potencjalną możliwość uszkodzenia układu. Takiego niebezpieczeństwa w tym przypadku nie ma. Uzyskujemy jedynie sprzeczność polegającą na tym, że  $Q = \bar{Q}$ . Jest to sprzeczność logiczna i dlatego mówimy jedynie o zakazie logicznym. Pamiętajmy także, że wejście  $s$



Rys. 7.3. Przerzutnik asynchroniczny  $rs$  przy  $rs = 11$

jest wejściem ustawiającym, a  $r$  — zerującym. Wymuszenie na obu wejściach stanu  $1$  to próba wykonania akcji „ustaw i jednocześnie wyzeruj”. W tym kontekście niepożądane zachowanie się przerzutnika jest całkowicie usprawiedliwione.

Z powyższego wstępu wynika praktyczny wniosek nie tylko odnośnie do użytkowania tego przerzutnika, ale także jego opisywania. Otóż należy tak budować układy współpracujące (sterujące) wejściami przerzutnika, aby wyeliminować możliwość pojawienia się stanu  $1$  jednocześnie na obu wejściach — szczególnie wtedy, kiedy korzystamy z obu wyjść przerzutnika.

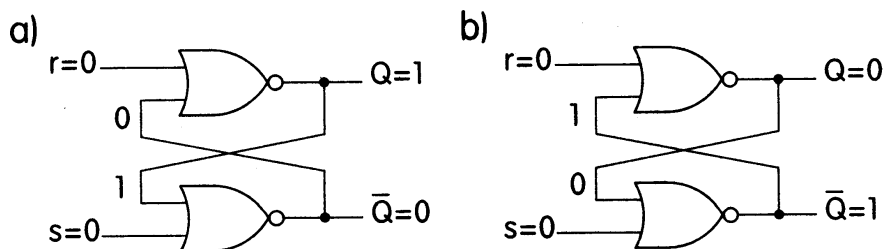
Wykres czasowy opisujący działanie przerzutnika powinien także uwzględniać powyższe wymagania, więc należy go tak rysować, aby stan wejść  $11$  nie pojawiał się co chwilę, bo wykres przestanie być wówczas komunikatywny. Podstawowym stanem wejść przerzutnika powinien być stan  $00$ . Kolejne fragmenty wykresu powinny przedstawiać zachowanie się przerzutnika przy pobudzaniu (ustawianiu w stan  $1$ ) raz wejścia  $r$  raz  $s$ , czy też kilkakrotnego pobudzenia wejścia  $r$  lub  $s$ . Naturalnie wykres objaśniający działanie przerzutnika powinien zawierać także fragment ilustrujący stan logicznie zabroniony, ale jako przypadek szczególny i odosobniony. Wykres czasowy na rys. 7.2b skonstruowano zgodnie z powyższymi zaleceniami. Możemy z niego odczytać, że: impuls na wejściu  $s$  (przy  $r = 0$ ) ustawia przerzutnik w stan  $1$ , ponowienie impulsów wpisujących jedynekę nie ma już żadnego wpływu na zachowanie się przerzutnika. Podobnie działa przerzutnik przy doprowadzeniu do jego wejścia  $r$  sygnału  $1$  (przy  $s = 0$ ). Tym razem jest on zerowany i kolejne impulsy zerujące nie zmieniają już stanu przerzutnika. Przy stanie wejść  $00$  przerzutnik może być zarówno w stanie  $1$ , jak i w stanie  $0$ . Stan ten nazywamy **stanem pamiętania informacji wpisanej do przerzutnika**. Jednocześnie ustawianie ( $s = 1$ ) oraz zerowanie ( $r = 1$ ) prowadzi do tego, że  $P \neq Q$  i sytuację tę demonstruje ostatni fragment przebiegu oznakowany \*\*\*.

Przeanalizujmy jeszcze stan przerzutnika (czyli jego wyjście) w przypadku różnych stanów wejść. *Układ asynchroniczny bowiem nie zmienia swego stanu tak długo, jak długo nie zmienia się stan jego wejść. Mówimy wówczas, że układ asynchroniczny jest w stanie stabilnym.* Przeanalizujmy zatem wszystkie jego stany stabilne.

Rozważyliśmy już szczegółowo sytuację, w której oba wejścia przerzutnika są ustawione w stan  $1$  (rys. 7.3). Przejdźmy zatem do omówienia pozostałych stanów stabilnych.

Jeżeli na obu wejściach jest stan niski  $0$ , to przerzutnik może się znajdować zarówno w stanie pamiętania  $1$  (wyjście  $Q = 1$ ), jak i w stanie pamiętania  $0$  (wyjście  $Q = 0$ ). Mówimy wówczas, że przerzutnik jest odpowiednio: w stanie wysokim — **włączony (ustawiony w stan  $1$ )** lub niskim — **wyłączony (zgaszony, wyzerowany, ustawiony w stan  $0$ )**. Obie te sytuacje przedstawiono na rys. 7.4.

Normalny stan pracy przerzutnika to oba wejścia w stanie niskim i oczekiwanie na pojawienie się  $1$  na jednym z wejść. Zauważmy, że podanie  $1$  na wejście ustawiające  $s$  wówczas, gdy przerzutnik jest w stanie pamiętania  $1$  (rys. 7.4a), nie



Rys. 7.4. Przerzutnik asynchroniczny  $rs$  przy  $rs = 00$ : a) w stanie pamiętania 1; b) w stanie pamiętania 0

zmienia stanu tego przerzutnika. Na drugim wejściu bramki NOR, do której doprowadzamy sygnał  $s$ , panuje bowiem poziom 1. Podanie kolejnej 1 na kolejne wejście bramki NOR nie zmienia przecież stanu jej wyjścia.

Podobnie, podanie 1 na wejście zerujące  $r$  wówczas, gdy przerzutnik jest w stanie pamiętania 0 (rys. 7.4b) nie zmienia stanu tego przerzutnika. Na drugim wejściu bramki NOR, do której doprowadzamy sygnał  $r$ , panuje już poziom 1. Podanie kolejnej 1 na kolejne wejście bramki NOR nie zmienia przecież stanu jej wyjścia.

Tablica 7.1. Stany stabilne przerzutnika  $rs$

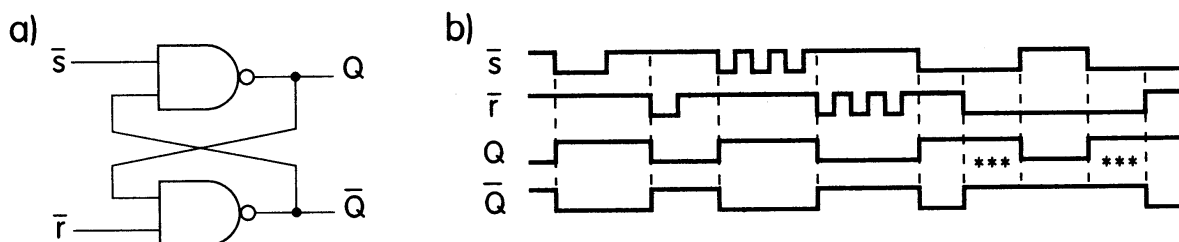
$r$	$s$	$Q \bar{Q}$	Stan stabilny
1	1	0 0	stan wejść logicznie zabroniony
1	0	0 1	przerzutnik ustawiony w stan 0
0	1	1 0	przerzutnik ustawiony w stan 1
0	0	0 1	pamiętanie stanu 0
		1 0	pamiętanie stanu 1

Zmiana stanu przerzutnika nastąpi więc po podaniu 1 na wejście ustawiające  $s$ , gdy przerzutnik jest w stanie pamiętania 0, albo po podaniu 1 na wejście zerujące  $r$ , gdy przerzutnik jest w stanie pamiętania 1.

Wszystkie stany stabilne przerzutnika  $rs$  zestawiono w tabl. 7.1.

### ● Przerzutnik $\bar{r}\bar{s}$

Do budowy przerzutnika asynchronicznego można użyć bramek NAND zamiast NOR (rys. 7.5). Taki przerzutnik jest włączany (wyłączany) wówczas, gdy napięcie na wejściu ustawiającym (zerującym) przyjmie poziom logiczny 0. Jest to dokładnie odwrotnie niż w przerzutniku zbudowanym z bramek NOR, w którym



Rys. 7.5. Przerzutnik asynchroniczny  $\bar{r}\bar{s}$ : a) schemat logiczny; b) przebiegi czasowe

ten efekt osiągnano przez doprowadzenie sygnału 1 do odpowiednich jego wejść. Stąd nazwa tego przerzutnika (NIE  $r$  NIE  $s$ ).

Także pozostałe cechy przerzutnika  $\bar{r}\bar{s}$  można wywieść przez analogię do przerzutnika  $rs$ . Tak więc stan wejść **00** jest w tym przerzutniku logicznie zabroniony, a stan wejść **11** oznacza pozostawanie przerzutnika w stanie pamiętania. Dalszą analizę pracy przerzutnika (wzorowaną na analizie pracy przerzutnika  $rs$ ) pozostawia się Czytelnikowi.

Odmiennie oznaczenie wejść w obu przerzutnikach ma określony cel, mimo że zarówno wejście  $s$ , jak i  $\bar{s}$  są to wejścia ustawiające, a wejście  $r$  i  $\bar{r}$  są to wejścia zerujące. Dla przerzutnika  $rs$  **poziomem aktywnym** sygnałów wejściowych jest poziom wysoki **H**, natomiast **poziomem aktywnym** na wejściach przerzutnika  $\bar{r}\bar{s}$  jest poziom niski **L**.

**Poziomem aktywnym** nazywamy poziom, który powoduje działanie układu określone przez rodzaj wejścia, do którego jest on doprowadzony. Aby więc wyzerować (ustawić) przerzutnik, należy na wejściu zerującym (ustawiającym) ustawić **poziom aktywny**. Dla przerzutnika  $rs$  będzie to poziom **H**, a dla przerzutnika  $\bar{r}\bar{s}$  — poziom **L**.

Powyższa zasada oznaczania wejść jest obowiązująca dla wszystkich układów cyfrowych.

Zestawienie stanów stabilnych przerzutnika zbudowanego z bramek NAND zawiera tabl. 7.2.

Tablica 7.2. Stany stabilne przerzutnika zbudowanego z bramek NAND

$\bar{r}$	$\bar{s}$	$Q$	$\bar{Q}$	Stan stabilny
0	0	1	1	stan wejść logicznie zabroniony
0	1	0	1	przerzutnik ustawiony w stan 0
1	0	1	0	przerzutnik ustawiony w stan 1
1	1	0	1	pamiętanie stanu 0
		1	0	pamiętanie stanu 1

Przerzutniki asynchroniczne są używane w układach wejściowych jako elementy pośredniczące pomiędzy zestykiem a wejściami układów cyfrowych. Rolą ich jest filtracja drgań zestyków. Przykłady takich zastosowań omówiono w p. 9.3.

## Pytania i zadania

- Narysuj układ przerzutnika asynchronicznego zbudowanego z bramek:
  - NOR,
  - NAND.
- Wyjaśnij, co oznacza sformułowanie, że stan wejść **11** jest w przerzutniku  $rs$  logicznie zabroniony.